

# Mirko Loghi

## Curriculum Scientifico e Didattico

### Curriculum Sintetico

- 2001: Laurea in Ingegneria Elettronica (con lode) presso l'università "La Sapienza" di Roma.
- 2002: Collaboratore a contratto per il Consorzio Ferrara Ricerche.
- 2002: Visiting Researcher presso SUN Microsystems a Menlo Park, CA, USA.
- 2003–2006: Dottorato di Ricerca in Informatica presso l'Università di Verona.
- 2006–2008: titolare di Assegno di Ricerca presso il Politecnico di Torino.
- 2008–: ricercatore presso l'Università degli studi di Udine.

### Attività Scientifica e Professionale

- Membro del Comitato di Programma di conferenze internazionali:
- *VLSI-SoC* – 2011.
- *VLSI-SoC* – 2012.
- *VLSI-SoC* – 2013.
- Revisore di articoli per riviste internazionali:
  - *IEEE Transactions on Computer-Aided Design*
  - *Integration: the VLSI Journal*
  - *IEEE Transactions on Design Automation of Electronic Systems*
  - *IEEE Transactions on VLSI*
  - *IEEE Transactions on Computers*
  - *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*
- Revisore di articoli per conferenze internazionali:
  - *ACM/IEEE Design Automation Conference (DAC)* (2005)
  - *ACM/IEEE Great Lake Symposium on VLSI (GLSVLSI)* (2005–2011)
  - *ACM/IEEE International Symposium on Low Power Electronics and Design (ISLPED)* (2005–2007, 2009–2011)
  - *IEEE Design Automation and Test in Europe (DATE)* (2005–2007, 2010)
  - *International Workshop on Power And Timing Modeling, Optimization and Simulation (PATMOS)* (2004,2006)
  - *ACM/IEEE International Conference on Compilers, Architecture, and Synthesis for Embedded Systems (CASES)* (2006)
  - *IEEE International Symposium on Circuits and Systems (ISCAS)* (2006)
  - *Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI)* (2006)
  - *IEEE International Conference on Electronics, Circuits, and Systems (ICECS)* (2010)
  - *IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC)* (2010–2013)
- Membro della IEEE.

## Attività di Ricerca di Base

L'attività di ricerca verte sui sistemi embedded, sui sistemi multiprocessore su singolo chip (MPSoCs), e sull'efficienza energetica nei sistemi digitali.

I campi scientifici di interesse sono:

**Sistemi multiprocessore su singolo chip:** I sistemi multiprocessore su singolo chip sono la soluzione emergente nel campo dei sistemi embedded, perché il loro parallelismo permette una maggiore flessibilità nell'uso delle risorse. Per contro, rispetto ai sistemi monoprocessore, i sistemi paralleli presentano una serie di problematiche legate alla comunicazione e alla sincronizzazione dei vari processori. Tali problematiche hanno delle metriche molto differenti rispetto ai tradizionali sistemi paralleli macroscopici, poiché i costi di comunicazione e di computazione risentono in modo sostanziale dell'inclusione di tutto il sistema all'interno di un singolo circuito integrato.

In questo ambito la ricerca è stata focalizzata sui problemi di consistenza dei dati condivisi, oltre che sui costi e benefici legati alla comunicazione inter-processore, affrontandoli a diversi livelli di astrazione, dal sistema operativo all'architettura.

Quest'area costituisce il filone principale di ricerca, che è ramificata in diversi sviluppi, come la stima del costo di comunicazione ad alti livelli di astrazione, la gestione di politiche di speed-setting atte alla riduzione del consumo di potenza, la valutazione dell'impatto dell'overhead necessario per mantenere i dati coerenti, e lo studio dell'efficacia di diverse primitive di sincronizzazione.

**Soluzioni architetturali per il low-power:** Nell'ambito dei sistemi embedded è di fondamentale importanza l'aspetto energetico dati gli stringenti requisiti che questi sistemi presentano sul consumo di potenza.

In quest'ambito di ricerca gli studi sono focalizzati su tecniche che, agendo a livello architetturale, permettano risparmi energetici. Quest'area vede allo studio soprattutto la gerarchia di memoria e studia tecniche, come il memory-partitioning, applicandole a problemi, come l'impatto dell'energia dissipata a causa delle correnti di leakage, correlati con l'emergere di nuove tecnologie. Inoltre, in quest'area di ricerca, vengono studiate e sviluppate innovazioni architetturali tese ad incrementare l'efficienza energetica dei singoli componenti della gerarchia di memoria.

**Contromisure agli effetti di invecchiamento dei dispositivi MOS:** Oltre al consumo di energia dovuto alle perdite nei transistor, i dispositivi con lunghezza di canale pari o inferiore ai 65 nm, soffrono anche di fenomeni di invecchiamento che ne pregiudicano l'affidabilità e la durata.

In quest'ambito, la ricerca svolta si è inizialmente focalizzata sullo studio dell'impatto di tecniche consolidate di riduzione del consumo energetico sui fenomeni di invecchiamento, evidenziando la rilevanza dell'"idleness" come nuova metrica, utile sia per la stima del consumo energetico, sia per comprendere l'entità dei fenomeni di invecchiamento.

Ulteriori studi hanno poi mirato a strategie che permettano la contemporanea minimizzazione del consumo energetico e dei fenomeni di invecchiamento. In particolare sono stati proposti schemi di architetture di memoria in cui la vita operativa di questi componenti viene estesa grazie a variazioni dinamiche delle politiche di indirizzamento, implementate a diversi livelli di granularità, oppure variandone la struttura così da sfruttare in modo opportuno il principio di località.

**Cosimulazione:** I sistemi embedded offrono la possibilità di racchiudere sullo stesso chip tanto le unità programmabili, quanto componenti hardware dedicati. La valutazione ad alto livello di astrazione dell'interazione tra il software che viene eseguito dai processori e l'hardware dedicato richiede tecniche che permettano a simulatori molto diversi tra loro di interagire in maniera efficiente.

Questo filone di ricerca è orientato verso lo studio di tecniche con cui interfacciare simulatori progettati in ambiti molto diversi, come un *Instruction-Set-Simulator* (ISS) e un simulatore di dispositivi descritti tramite una *Hardware Description Language*. Queste tecniche devono fornire metodologie efficienti con cui far comunicare i diversi attori della simulazione, garantendo una corretta sincronizzazione e minimizzando l'impatto sulle prestazioni della simulazione globale risultante.

In quest'ambito sono studiate tecniche che prevedono la comunicazione e la sincronizzazione tra il lato hardware e diversi componenti del lato software, come il sistema operativo (tramite appositi device drivers), oppure l'ISS.

## Attività di Ricerca Applicata

- Progetto sulla *Stima del consumo di potenza di un processore ad alto grado di parallelismo*, in collaborazione con SUN Microsystems, (CA, USA) e l'Università di Bologna, 2002.
- Progetto FP6-2004-IST-4 "CLEAN" (*Controlling LEAKage power in NanoCMOS SoCs*) in collaborazione con ST Microelectronics (Italia), Infineon Technologies (Germania), l'Universitat Politecnica de Catalunya (Spagna) e la Technical University of Denmark (Danimarca), iniziato nel 2005.
- Progetto regionale (FVG) "TecUP2"
- Progetto europeo ARTEMIS-JU "nSHIELD" (*New embedded Systems arcHtecture for multi-Layer Dependable solutions*)

## Attività Didattica

### Corsi Universitari

- Collaboratore didattico per il corso di *Sistemi Operativi Avanzati*, a.a. 2003/04, Facoltà di Informatica, Università di Verona, docente Prof. M. Poncino.
- Collaboratore didattico per il corso di *Architettura degli Elaboratori*, a.a. 2004/05, Facoltà di Informatica, Università di Verona, docente Prof. F. Fummi.
- Collaboratore didattico per il corso di *Sistemi Operativi Avanzati*, a.a. 2005/06, Facoltà di Informatica, Università di Verona, docente Dott. G. Pravadelli.
- Collaboratore didattico per il corso di *Architetture Multimediali*, a.a. 2005/06, Facoltà di Informatica, Università di Verona, docente Dott. D. Quaglia.
- Collaboratore didattico per il corso di *Algoritmi e Programmazione Avanzata*, a.a. 2006/07, 2007/08, Facoltà di Ingegneria, Politecnico di Torino, docente Prof. M. Poncino.
- Tutor del corso di *Algoritmi e Programmazione Avanzata*, a.a. 2006/07, Facoltà di Ingegneria, Università Telematica Internazionale Uninettuno, docente Prof. P. Prinetto.
- Docente del corso di *Calcolatori Elettronici I*, a.a. 2007/08, 2008/09, 2009/10, Facoltà di Ingegneria, Università di Udine.
- Docente del corso di *Metodologie della sintesi logica*, a.a. 2008/09, 2009/10, 2010/11, 2011/12, 2012/13, Facoltà di Ingegneria, Università di Udine.
- Docente del corso di *Calcolatori Elettronici II*, a.a. 2008/09, 2009/10, 2010/11, Facoltà di Ingegneria, Università di Udine.
- Docente del corso di *Calcolatori Elettronici e Sistemi operativi*, a.a. 2010/11, 2011/12, 2012/13, Facoltà di Ingegneria, Università di Udine.